

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-008459

(43)Date of publication of application : 10.01.1997

(51)Int.Cl.

H05K 3/46

(21)Application number : 07-151899

(71)Applicant : IBIDEN CO LTD

(22)Date of filing : 19.06.1995

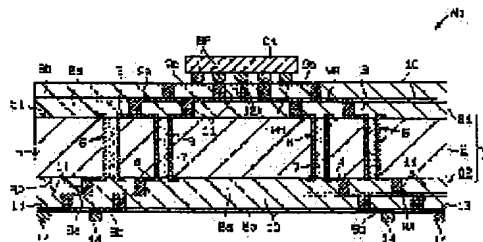
(72)Inventor : ASAI MOTOO
KAWAMURA YOICHIRO
MORI YOJI

(54) ELECTRONIC CIRCUIT COMPONENT MOUNTING BOARD

(57)Abstract:

PURPOSE: To provide an electronic circuit component mounting board, which can attain high densification and miniaturization.

CONSTITUTION: A first group of connection terminals are formed on the surface S1 of a base board 2 having through holes 6 and a second group of connection terminals are formed on the outer peripheral part of the rear S2 of the board 2. Build-up multilayer wiring layers B1 and B2 are respectively formed on the sides of the surface S1 and rear S2 of the board 2. The layers B1 and B2 are respectively formed by a method wherein internal layer conductor layers 9a and 9b and insulating layers 8a and 8b are alternately laminated, the internal layer conductor layers 9a and 9b are electrically connected with each other through via holes 11 and the layer 9a is electrically connected with the holes 6. The first and second groups of the connection terminals are respectively formed on the outermost layers of the layers B1 and B2. The connection terminals 12A, which is positioned in the center part of the first group of the connection terminals, is connected with the internal layer conductor layer 9b of the layer B1 via the holes 11.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]The 1st contact button group is formed in a prescribed spot of one [which has a through hole] field of a base board, In a substrate for electronic circuit part article loading of a field of the opposite hand to which the 2nd contact button group is formed in a peripheral part at least, and it electrically comes to connect the 1st contact button group and the 2nd contact button group via a through hole, In a side in which the 1st contact button group of said base board is formed. An inner layer conductor layer and an insulating layer are laminated by turns, and inner layer conductor layers are electrically connected at a viahole, Come to form a build up multilayer interconnection layer by which an inner layer conductor layer was electrically connected with a through hole, and said 1st contact button group, A substrate for electronic circuit part article loading characterized by electrically coming to connect with an inner layer conductor layer of said build up multilayer interconnection layer a contact button located in a center section of said 1st contact button group via a viahole while being formed in the outermost layer of this build up multilayer interconnection layer.

[Claim 2]The 1st contact button group is formed in a prescribed spot of one [which has a through hole] field of a base board, In a substrate for electronic circuit part article loading of a field of the opposite hand to which the 2nd contact button group is formed in a peripheral part at least, and it electrically comes to connect the 1st contact button group and the 2nd contact button group via a through hole, An inner layer conductor layer and an insulating layer are laminated by turns by both sides of said base board, It comes to form a build up multilayer interconnection layer by which inner layer conductor layers were electrically connected at a viahole, and an inner layer conductor layer was electrically connected with a through hole, Said 1st contact button group and the 2nd contact button group, While being formed in the outermost layer of this build up multilayer interconnection layer, respectively, each contact button which constitutes a contact button and the 2nd contact button group which are located in a center section of said 1st contact button group, A substrate for electronic circuit part article loading characterized by electrically coming to be connected with an inner layer conductor layer of said build up multilayer interconnection layer via a viahole.

[Translation done.]

*** NOTICES ***

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the substrate for electronic circuit part article loading with which the contact button group was formed in rear surface both sides, respectively.

[0002]

[Description of the Prior Art]Conventionally, what is called a substrate for electronic circuit part article loading is known as a printed wired board for carrying an electronic circuit part article.

[0003]In this kind of substrate for electronic circuit part article loading, the double-sided board etc. which have a conductor layer formed, for example by a subtractive process in rear surface both sides of a substrate as a base board are used. The bare chip of LSI, such as a flip chip, and the area for carrying out the surface mount of the packages, such as BGA, are usually established in the center section of the surface of a base board. In the area, after the 1st pad group that consists of many pads has crowded, it is formed. On the other hand, the 2nd pad group that consists of many pads is formed in the peripheral part of the rear face of a base board. And on these pads, the vamp is formed as a projection electrode for aiming at connection by the side of a mother board. The through hole of a large number which penetrate a rear surface is formed in the peripheral part of a base board. Each pad which constitutes these through hole and 1st pad group is connected via the conductive pattern formed on the surface of the base board. A through hole and each pad which constitutes the 2nd pad group are connected via the conductive pattern similarly formed in the rear face of a base board. As a result, in this substrate for electronic circuit part article loading, it is in the state where the 1st pad group and 2nd pad group were electrically connected mutually.

[0004]

[Problem(s) to be Solved by the Invention]By the way, when forming a conductive pattern in the surface side, it is not so difficult to pull out a conductive pattern towards the peripheral part of a base board from the pad located in the peripheral part of the 1st pad group. About the pad located in the center section of the pad group on the other hand, since the pad located outside them becomes obstructive, the drawer of the conductive pattern to a peripheral part is difficult. Therefore, in order to pull out a conductive pattern from the pad concerned, on the whole, wiring density must be made low. So, there is a problem that the densification or a miniaturization of the substrate for electronic circuit part article loading cannot fully be attained.

[0005]In recent years, multilayer boards, such as 4 lamellaes using mass lamination art etc. and 6 lamellaes, are manufactured increasingly. However, even if it uses such a multilayer board as a base board, it cannot be said that there is a fixed limit in densification or a miniaturization.

[0006]Made in order that this invention may solve the above-mentioned technical problem, the purpose is to provide the substrate for electronic circuit part article loading which can attain densification and a miniaturization.

[0007]

[Means for Solving the Problem]In order to solve the above-mentioned technical problem, the invention according to claim 1, The 1st contact button group is formed in a prescribed spot of one [which has a through hole] field of a base board, In a substrate for electronic circuit part article loading of a field of the opposite hand to which the 2nd contact button group is formed in a peripheral part at least, and it electrically comes to connect the 1st contact button group and the 2nd contact button group via a through hole, In a side in which the 1st contact button group of said base board is formed. An inner layer conductor layer and an insulating layer are laminated by turns, and inner layer conductor layers are electrically

connected at a viahole, Come to form a build up multilayer interconnection layer by which an inner layer conductor layer was electrically connected with a through hole, and said 1st contact button group, Let a substrate for electronic circuit part article loading characterized by electrically coming to connect with an inner layer conductor layer of said build up multilayer interconnection layer a contact button located in a center section of said 1st contact button group via a viahole while being formed in the outermost layer of this build up multilayer interconnection layer be the gist.

[0008]The 1st contact button group is formed in a prescribed spot of one field of a base board where the invention according to claim 2 has a through hole, In a substrate for electronic circuit part article loading of a field of the opposite hand to which the 2nd contact button group is formed in a peripheral part at least, and it electrically comes to connect the 1st contact button group and the 2nd contact button group via a through hole, An inner layer conductor layer and an insulating layer are laminated by turns by both sides of said base board, It comes to form a build up multilayer interconnection layer by which inner layer conductor layers were electrically connected at a viahole, and an inner layer conductor layer was electrically connected with a through hole, Said 1st contact button group and the 2nd contact button group, While being formed in the outermost layer of this build up multilayer interconnection layer, respectively, each contact button which constitutes a contact button and the 2nd contact button group which are located in a center section of said 1st contact button group, Let a substrate for electronic circuit part article loading characterized by electrically coming to be connected with an inner layer conductor layer of said build up multilayer interconnection layer via a viahole be the gist.

[0009]

[Function]According to the invention given in claims 1 and 2, since the contact button located in the center section of the 1st contact button group is connected to the inner layer conductor layer via the viahole, it becomes unnecessary to perform the drawer of the conductor layer to a substrate peripheral part in the outermost layer. Therefore, even if it is the time of wiring, the contact button located outside said contact button does not necessarily become obstructive. Since it is a build up multilayer interconnection layer, that the viahole and the inner layer conductor layer are formed can make wiring density high as compared with the former.

[0010]

[Example]Hereafter, one example which materialized this invention is described in detail based on drawing 1. In this substrate 1 for electronic circuit part article loading, the double-sided board 2 is used as a base board. This double-sided board 2 has the conductor layers 3 and 4 formed by the subtractive process at both the surface S1 of the substrate 5 made of resin, and the rear face S2. It migrates to the whole surface and the through hole 6 for aiming at the flow between the conductor layers 3 and 4 is formed in this double-sided board 2. It fills up with the conductive resin 7 grade containing metal powder, such as copper, in these through holes 6.

[0011]The build up multilayer interconnection layer B1 which laminates the layer insulation layers 8a and 8b and the conductor layers 9a and 9b by turns, and B-2 are formed in the surface S1 and the rear face S2 of the double-sided board 2 which is a base board, respectively.

[0012]Surface S1 The permanent resist 10 is formed in the upper surface of the 1st layer insulation layer 8a located in a inner layer in the build up multilayer interconnection layer B1 formed in the side. The inner layer conductor layer 9a is formed in the portion in which this permanent resist 10 is not formed. And this inner layer conductor layer 9a and the inner layer conductor layer 3 by the side of the double-sided board 2 are electrically connected by the viahole 11 provided in the 1st layer insulation layer 8a. The permanent resist 10 is similarly formed on the 2nd layer insulation layer 8b provided in said layer insulation layer 8a. The outer layer conductor layer 9b is formed in the portion in which this permanent resist 10 is not formed. And this outer layer conductor layer 9b and inner layer conductor layer 9a are electrically connected by the viahole 11 provided in the 2nd layer insulation layer 8b. The center section of the 2nd layer insulation layer 8b is the element-placement area for carrying the bare chip C1 of LSI as an electronic circuit part article. In this area, after the 1st pad group that consists of many pads 12A and 12B as a contact button has crowded, it is formed. The position of these pads 12A and 12B supports the formation position of the vamp BP formed in the bottom of the bare chip C1. What is located in an outermost periphery in the 1st pad group will be called "the external pad 12B." And what is located in the center section of the 1st pad group, i.e., the thing located inside said external pad 12B, will be called "the internal pad 12A."

[0013]Surface S2 In build up multilayer interconnection layer B-2 formed in the side, the permanent resist 10 is formed on the 1st layer insulation layer 8a located in a inner layer. The inner layer conductor layer 9a is formed in the portion in which this permanent resist 10 is not formed. And this inner layer conductor layer 9a and the inner layer conductor layer 4 by the side of the double-sided board 2 are electrically

connected by the viahole 11 provided in the 1st layer insulation layer 8a. The permanent resist 10 is similarly formed on the 2nd layer insulation layer 8b provided in said layer insulation layer 8a. The outer layer conductor layer 9b is formed in the portion in which this permanent resist 10 is not formed. And this outer layer conductor layer 9b and inner layer conductor layer 9a are electrically connected by the viahole 11 provided in the 2nd layer insulation layer 8b. The 2nd pad group that consists of many pads 13 as a contact button is formed in the peripheral part of the 2nd layer insulation layer 8b. On these pads 13, the vamp 14 is formed as a projection electrode for aiming at electric connection by the side of the mother board which is not illustrated.

[0014]In this substrate 1 for electronic circuit part article loading, the external pad 12B of the 1st pad group is electrically connected to the viahole 11 via the outer layer conductor layer 9b prolonged toward a substrate peripheral part. On the other hand, the internal pad 12A located in the inside is directly electrically connected to the upper surface of the viahole 11 via the outer layer conductor layer 9b. The viahole 11 of such 2nd layer insulation layer 8b is electrically further connected to the through hole 6 via the inner layer conductor layer 9a, the viahole 11, and the inner layer conductor layer 3. And the inner layer conductor layer 4 connected to the through hole 6 is electrically connected to the pad 13 which constitutes the 2nd pad group via the viahole 11, the inner layer conductor layer 9a, the viahole 11, and the outer layer conductor layer 9b. The inner layer conductor layers 3, 4, and 9a and the outer layer conductor layer 9b which connect the 1st pad group and 2nd pad group are always wired a forward direction and centrifugal toward the substrate peripheral part.

[0015]Here, as for the build up multilayer interconnection layer B1 and the layer insulation layers 8a and 8b which constitute B-2, it is preferred to become acid or an oxidizer from the heat resistant resin particle of fusibility at a photopolymer, and poorly soluble acid or oxidizer. This is because dispersion of light takes place easily at the time of exposure, and it will therefore become difficult to produce the development remainder at the time of the formation even if it is the high viahole 11 of an aspect ratio if the heat resistant resin particle is contained. Therefore, compared with the case where a mere photopolymer is used, the viahole 11 of a byway (about 80 micrometers or less in diameter) can be formed more.

[0016]As for said layer insulation layers 8a and 8b, it is preferred to consist of resin and compound resin of thermoplastics which are poorly soluble and sensitization-ized thermosetting resin to acid or an oxidizer, and a heat resistant resin particle of the fusibility of acid or an oxidizer. Acid here or oxidizer refers to chloride, phosphoric acid, chromic acid, chromate salt, fault manganese salt, etc. which are used, for example in a surface roughening process.

[0017]As for the resin which is poorly soluble and sensitization-ized thermosetting resin to said acid or an oxidizer, it is preferred that it is any at least one resin chosen from epoxy acrylate and photosensitive polyimide (photosensitive PI). As for said thermoplastics, it is preferred that it is any at least one resin chosen from among polyether sulphone (PES), polysulfone (PSF), phenoxy resin, and polyethylene (PE). As for said heat resistant resin particle, it is preferred that it is any at least one chosen from among an amino resin particle and epoxy resin (EP resin) particles. Since the epoxy resin has hydronalium EKISHI ether structure, especially the particles that consist of this resin have the advantageous character to be easy to melt. As an amino resin particle, it is selectable in melamine resin, urea resin, guanamine resin, etc., for example. It is preferred to choose melamine resin especially.

[0018]Such a substrate 1 for electronic circuit part article loading of composition is producible by passing through the following procedures, for example. The preparing method of the adhesives for additives for forming the layer insulation layers 8a and 8b is as follows. Oligomer of the photosensitive grant which acrylic-ized 25% of the epoxy groups of cresol novolak type epoxy resin (CNA25, molecular weight 4000), PES (molecular weight 17000), an imidazole hardening agent (made in Shikoku Chemicals, trade name:2B4 MZ-CN), it is a photosensitive monomer — (TMPTA) and, [trimethyl doria] It mixes using DMF using a photoinitiator (the Ciba-Geigy make, trade name:I-907) by the following presentation, Furthermore, a thing with a mean particle diameter of 5.5 micrometers to this mixture for epoxy resin powder (the Toray Industries make, a trade name: TOREPARU EP-B) 20 weight sections, It is considered as the adhesives for additives by adjusting and kneading a thing with a mean particle diameter of 0.5 micrometer to the viscosity of 120 cps with 3 rolls continuously a HOMODI spar agitator, after mixing ten weight sections.

Subsequently, after applying these adhesives to whole both sides of the double-sided board 2, vacuum drying is performed at 25 ** and UV curing and heat curing are performed further. As a result, the 1st layer insulation layer 8a is formed first.

[0019]Next, a roughened surface provided with many crevices for anchors is formed by processing the surface of this 1st layer insulation layer 8a by roughening agents, such as chromic acid. Then, the inner layer conductor layer 9a and the viahole 11 are formed by performing catalyst core grant, formation of the

permanent resist 10, activation, and non-electrolytic copper plating in accordance with a conventional method.

[0020]The 2nd layer insulation layer 8b is formed by applying and hardening the same adhesives for additives to both sides. Subsequently, a roughened surface is formed by processing the surface of the 2nd obtained layer insulation layer 8b by a roughening agent. Then, catalyst core grant, formation of the permanent resist 10, activation, and non-electrolytic copper plating are performed, and the outer layer conductor layer 9b, the pads 12A, 12B, and 13, and the viahole 11 are formed in a predetermined part. If it passes through the above process, the desired substrate 1 for electronic circuit part article loading will be completed. And if the bare chip C1 is carried on the substrate 1 for electronic circuit part article loading produced by doing in this way, the electronic circuit part article mounting apparatus M1 like drawing 1 can be obtained.

[0021]Now, according to the substrate 1 for electronic circuit part article loading of this example, the internal pad 12A located in the center section of the 1st pad group is directly electrically connected to the upper surface of the viahole 11, without being connected to the outer layer conductor layer 9b by each. That is, each internal pad 12A will electrically be connected to the inner layer conductor layer 9a via the viahole 11. Therefore, it is not necessary to perform the drawer of the outer layer conductor layer 9a to a substrate peripheral part on the 2nd layer insulation layer 8b in which the 1st pad group is formed. Therefore, though the external pad 12B is located in the outside of the internal pad 12A, when wiring, they do not necessarily become obstructive in particular. And as a result of the outer layer conductor layer 9b pulled out from the internal pad 12A as mentioned above stopping existing, it becomes possible to wire densely the outer layer conductor layer 9b pulled out from the external pad 12B. That is, on the whole compared with the conventional composition, wiring density can be made high.

[0022]In this example, the adhesives for additives which become acid etc. from the heat resistant resin particle of fusibility at a poorly soluble photopolymer, acid, etc. are used in formation of the build up multilayer interconnection layer B1 and the layer insulation layers 8a and 8b which constitute B-2. Therefore, it is hard to produce the development remainder on the bottom of the crevice for viahole formation at the time of exposure. Therefore, the viahole 11 of a byway can be formed easily and certainly conventionally. Of course, the conductor layers 9a and 9b formed by an additive process will become FAIN compared with what is formed in accordance with the conventional subtractive process. Therefore, compared with structure, wiring density can be made high conventionally like an additive process.

[0023]As stated above, according to the substrate 1 for electronic circuit part article loading of this example, densification and a miniaturization can be attained as compared with the conventional thing. In this example, since the build up multilayer interconnection layer B1 and B-2 are formed in both sides, densification and a miniaturization can be attained rather than the case where it forms only in the surface S1, for example.

[0024]In this substrate 1 for electronic circuit part article loading, the almost same build up multilayer interconnection layer B1 of thickness as the surface S1 and the rear face S2 and B-2 are provided. For this reason, the size of the stress added to the both sides of the double-sided board 2 becomes almost equal, and stress becomes is easy to be offset mutually as a result. Therefore, the substrate 1 for electronic circuit part article loading which does not curve easily is realizable.

[0025]This invention can be changed as follows, for example.

(1) The electronic circuit part article mounting apparatus M2 which carries the bare chip C1 on the substrate 18 for electronic circuit part article loading of example of another is shown in drawing 2. With this substrate 18 for electronic circuit part article loading, it is the surface S1. The build up multilayer interconnection layer B3 of the three-tiered structure is formed only in the side. On the other hand, the pad 13 which constitutes the 2nd pad group is the rear face S2. It is connected to the conductor layer 4 formed in the side. And rear face S2 On the whole, the rear conductor layer 4 is covered with the solder resist 19. Even if it is such composition, the same operation effect as an example is done so.

[0026](2) The build up multilayer interconnection layer B1 - the number of laminations of B3 (number of layers of the layer insulation layers 8a and 8b) may not be limited to two-layer or three layers, and may be four layers, five layers, six layers, seven layers, and eight layer -- one layer. Surface S1 The rear number of laminations and the rear face S2 The rear number of laminations may not necessarily be the same.

[0027](3) As a base board, it may replace with the example which uses the double-sided board 2, and multilayer boards, such as 4 lamellae, 5 lamellae, 6 lamellae, 7 lamellae, and 8 lamellae, may be used. It is advantageous to choose the double-sided board 2 to give priority to low cost-ization, and it is advantageous to choose a multilayer board to attain further densification and miniaturization.

[0028](4) It is possible to replace with the vamp 14 of an example and to form a pin etc. on the pad 13

which constitutes the 2nd contact button group. Of course, it is also possible to have composition which forms neither the vamp 14 nor a pin.

[0029](5) The number of element-placement area may be one like an example, or it may be plural.

(6) The pad 13 which constitutes the 2nd pad group is the rear face S2. It may be provided over near whole build up multilayer interconnection layer B-2. More pads 13 can be arranged as it is this composition.

[0030](7) The conductor layers 9a and 9b which constitute the build up multilayer interconnection layer B1 - B3 may be metal plating (for example, electroless nickel plating, unelectrolyzed gilding, etc.) other than non-electrolytic copper plating. It is also possible to choose the metal layer which replaces with the metal layer formed by a chemical method for film deposition like plating, for example, is formed by the physical thin film methods, such as sputtering.

[0031](8) The electronic circuit part articles carried on the substrate 1 for electronic circuit part article loading may be semiconductor packages, such as PGA which has BGA, QFN, and a short pin other than the bare chip 2 of an example, for example.

[0032](9) The internal pad 12A may be connected to the viahole 11 via the short outer layer conductor layer 9b which direct continuation does not necessarily have to be carried out to the upper surface of the viahole 11, for example, has not been prolonged to the substrate peripheral part.

[0033]Here, the technical ideas grasped by the example and example of another which were mentioned above are enumerated below with the effect besides the technical idea indicated to the claim.

(1) In claims 1 and 2, the insulating layer which constitutes said build up multilayer interconnection layer should consist of photopolymers. Densification and a miniaturization can be attained more as it is this composition.

[0034](2) In claims 1 and 2, the insulating layer which constitutes said build up multilayer interconnection layer should become acid or an oxidizer from the heat resistant resin particle of fusibility at a photopolymer, and poorly soluble acid or oxidizer. Densification and a miniaturization can be further attained as it is this composition.

[0035]"Adhesives for additives : It is the adhesives made of resin used for formation of an insulating layer, and say what contains a poorly soluble ingredient and the ingredient of fusibility to acid etc."

[0036]

[Effect of the Invention]As explained in full detail above, according to the invention according to claim 1, it can write with connecting with an inner layer conductor layer via the viahole of a build up multilayer interconnection layer, and the substrate for electronic circuit part article loading which can attain densification and a miniaturization can be provided. According to the invention according to claim 2, the much more densification and miniaturization can be attained. A wiring design becomes easy.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The outline sectional view of the substrate for electronic circuit part article loading of an example.

[Drawing 2]The outline sectional view of the substrate for electronic circuit part article loading of example of another.

[Description of Notations]

1, 18 -- The substrate for electronic circuit part article loading, 2 -- A base board, 6 -- Through hole, 8a and 8b -- an insulating layer and 9a -- an inner layer conductor layer and 11 -- a viahole and 12A -- the --
- The internal pad as a contact button located in the center section of the contact button group of one, and 13 -- the pad as a contact button which constitutes the 2nd contact button, B1, B-2, and B3 -- build up multilayer interconnection layer.

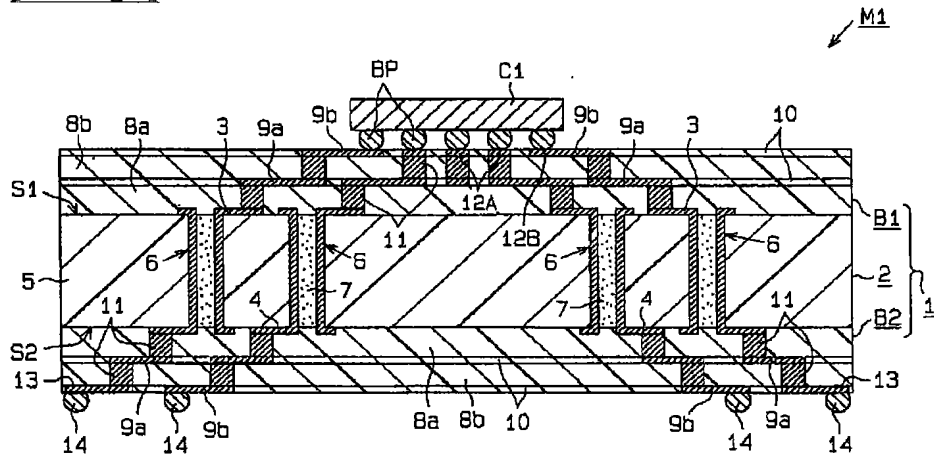
[Translation done.]

JPO and INPIT are not responsible for any damages caused by the use of this translation.

2.*** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Drawing 1]

[illegible]

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8459

(43) 公開日 平成9年(1997)1月10日

(51) Int.Cl.*	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46		6921-4E	H 0 5 K 3/46	N
		6921-4E		E
		6921-4E		Q

審査請求 未請求 請求項の数2 O L (全 6 頁)

(21) 出願番号 特願平7-151899

(22) 出願日 平成7年(1995)6月19日

(71) 出願人 000000158

イビデン株式会社

岐阜県大垣市神田町2丁目1番地

(72) 発明者 浅井 元雄

岐阜県揖斐郡揖斐川町北方1の1 イビデン株式会社大垣北工場内

(72) 発明者 川村 洋一郎

岐阜県揖斐郡揖斐川町北方1の1 イビデン株式会社大垣北工場内

(72) 発明者 森 要二

岐阜県揖斐郡揖斐川町北方1の1 イビデン株式会社大垣北工場内

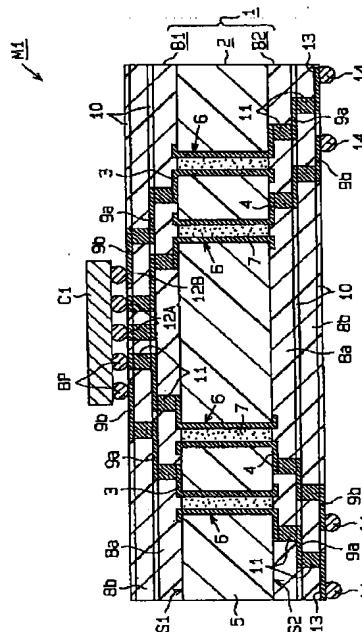
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 電子回路部品搭載用基板

(57) 【要約】

【目的】 高密度化・小型化を達成できる電子回路部品搭載用基板を提供すること。

【構成】 スルーホール6を有するベース基板2の表面S1には、第1の接続端子群が形成され、裏面S2の外周部には第2の接続端子群が形成されている。ベース基板2の表面S1側には、ビルドアップ多層配線層B1、B2が形成されている。ビルドアップ多層配線層B1、B2は、内層導体層9aと絶縁層8a、9bとが交互に積層され、内層導体層8a同士がバイアホール11にて電気的に接続され、内層導体層8aがスルーホール11と電気的に接続されてなる。第1の接続端子群は、ビルドアップ多層配線層B1、B2の最外層に形成されている。第1の接続端子群の中央部に位置する接続端子12Aは、バイアホール11を介してビルドアップ多層配線層B1の内層導体層8aと接続されている。



【特許請求の範囲】

【請求項1】スルーホールを有するベース基板の一方の面の所定箇所に第1の接続端子群が形成され、その反対側の面の少なくとも外周部に第2の接続端子群が形成され、第1の接続端子群と第2の接続端子群とがスルーホールを介して電氣的に接続されてなる電子回路部品搭載用基板において、

前記ベース基板の第1の接続端子群が形成される側には、内層導体層と絶縁層とが交互に積層され、内層導体層同士がビアホールにて電氣的に接続され、また内層導体層がスルーホールと電氣的に接続されたビルドアップ多層配線層が形成されてなり、

前記第1の接続端子群は、該ビルドアップ多層配線層の最外層に形成されるとともに、前記第1の接続端子群の中央部に位置する接続端子は、ビアホールを介して前記ビルドアップ多層配線層の内層導体層と電氣的に接続されてなることを特徴とする電子回路部品搭載用基板。

【請求項2】スルーホールを有するベース基板の一方の面の所定箇所に第1の接続端子群が形成され、その反対側の面の少なくとも外周部に第2の接続端子群が形成され、第1の接続端子群と第2の接続端子群とがスルーホールを介して電氣的に接続されてなる電子回路部品搭載用基板において、

前記ベース基板の両面には、内層導体層と絶縁層とが交互に積層され、内層導体層同士がビアホールにて電氣的に接続され、また内層導体層がスルーホールと電氣的に接続されたビルドアップ多層配線層が形成されてなり、

前記第1の接続端子群及び第2の接続端子群は、それぞれ該ビルドアップ多層配線層の最外層に形成されるとともに、前記第1の接続端子群の中央部に位置する接続端子及び第2の接続端子群を構成する各接続端子は、ビアホールを介して前記ビルドアップ多層配線層の内層導体層と電氣的に接続されてなることを特徴とする電子回路部品搭載用基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、表裏両面にそれぞれ接続端子群が形成された電子回路部品搭載用基板に関するものである。

【0002】

【従来の技術】従来より、電子回路部品を搭載するためのプリント配線板として、いわゆる電子回路部品搭載用基板が知られている。

【0003】この種の電子回路部品搭載用基板においては、ベース基板として、例えばサブトラクティブ法によって形成される導体層を基材の表裏両面に持つ両面板などが使用される。ベース基板の表面の中央部には、通常、フリップチップ等のようなLSIのペアチップや、BGA等のようなパッケージを表面実装するためのエリ

アが設けられている。同エリア内には、多数のパッドからなる第1のパッド群が密集した状態で形成されている。一方、ベース基板の裏面の外周部には、多数のパッドからなる第2のパッド群が形成されている。そして、これらのパッド上には、マザーボード側との接続を図るための突起電極としてバンパが形成されている。また、ベース基板の外周部には、表裏を貫通する多数のスルーホールが形成されている。これらのスルーホールと第1のパッド群を構成する各パッドとは、ベース基板の表面に形成された導体パターンを介して接続されている。また、スルーホールと第2のパッド群を構成する各パッドとは、同様にベース基板の裏面に形成された導体パターンを介して接続されている。その結果、この電子回路部品搭載用基板においては、第1のパッド群と第2のパッド群とが互いに電氣的に接続された状態となっている。

【0004】

【発明が解決しようとする課題】ところで、表面側に導体パターンを形成する場合、第1のパッド群の外周部に位置するパッドからベース基板の外周部に向けて導体パターンを引き出すことは、それほど困難ではない。その反面、同パッド群の中央部に位置するパッドについては、それらよりも外側に位置するパッドが邪魔になるため、外周部への導体パターンの引き出しが困難である。従って、当該パッドから導体パターンを引き出すためには、全体的に配線密度を低くしなければならない。それゆえ、電子回路部品搭載用基板の高密度化や小型化を充分に図ることができないという問題がある。

【0005】また、近年においては、マスマミネーション技術などを利用した4層板や6層板等の多層板が製造されるようになってきている。しかし、このような多層板をベース基板として用いたとしても、高密度化や小型化には一定の限界があるといわざるえない。

【0006】本発明は上記の課題を解決するためなされたものであり、その目的は、高密度化及び小型化を達成することができる電子回路部品搭載用基板を提供することにある。

【0007】

【課題を解決するための手段】上記の課題を解決するために、請求項1に記載の発明は、スルーホールを有するベース基板の一方の面の所定箇所に第1の接続端子群が形成され、その反対側の面の少なくとも外周部に第2の接続端子群が形成され、第1の接続端子群と第2の接続端子群とがスルーホールを介して電氣的に接続されてなる電子回路部品搭載用基板において、前記ベース基板の第1の接続端子群が形成される側には、内層導体層と絶縁層とが交互に積層され、内層導体層同士がビアホールにて電氣的に接続され、また内層導体層がスルーホールと電氣的に接続されたビルドアップ多層配線層が形成されてなり、前記第1の接続端子群は、該ビルドアップ多層配線層の最外層に形成されるとともに、前記第1の

接続端子群の中央部に位置する接続端子は、ビアホールを介して前記ビルドアップ多層配線層の内層導体層と電気的に接続されてなることを特徴とする電子回路部品搭載用基板をその要旨とする。

【0008】請求項2に記載の発明は、スルーホールを有するベース基板の一方の面の所定箇所に第1の接続端子群が形成され、その反対側の面の少なくとも外周部に第2の接続端子群が形成され、第1の接続端子群と第2の接続端子群とがスルーホールを介して電気的に接続されてなる電子回路部品搭載用基板において、前記ベース基板の両面には、内層導体層と絶縁層とが交互に積層され、内層導体層同士がビアホールにて電気的に接続され、また内層導体層がスルーホールと電気的に接続されたビルドアップ多層配線層が形成されてなり、前記第1の接続端子群及び第2の接続端子群は、それぞれ該ビルドアップ多層配線層の最外層に形成されるとともに、前記第1の接続端子群の中央部に位置する接続端子及び第2の接続端子群を構成する各接続端子は、ビアホールを介して前記ビルドアップ多層配線層の内層導体層と電気的に接続されてなることを特徴とする電子回路部品搭載用基板をその要旨とする。

【0009】

【作用】請求項1、2に記載の発明によると、第1の接続端子群の中央部に位置する接続端子はビアホールを介して内層導体層に接続されているため、最表層において基板外周部への導体層の引き出しを行うことが不要になる。よって、配線を行う際であっても、前記接続端子よりも外側に位置する接続端子が邪魔になるということもない。また、ビアホールや内層導体層が形成されているのはビルドアップ多層配線層であるため、従来に比較して配線密度を高くすることができる。

【0010】

【実施例】以下、本発明を具体化した一実施例を図1に基づき詳細に説明する。この電子回路部品搭載用基板1では、ベース基板として両面板2が使用されている。この両面板2は、サブトラクティブ法によって形成された導体層3、4を樹脂製の基材5の表面S1及び裏面S2の両方に有している。この両面板2には、全面にわたって、導体層3、4間の導通を図るためのスルーホール6が形成されている。これらのスルーホール6内には、銅などの金属粉末を含む導電性樹脂7等が充填されている。

【0011】ベース基板である両面板2の表面S1及び裏面S2には、層間絶縁層8a、8bと導体層9a、9bとを交互に積層してなるビルドアップ多層配線層B1、B2がそれぞれ形成されている。

【0012】表面S1側に形成されたビルドアップ多層配線層B1において、内層に位置する第1の層間絶縁層8aの上面には、永久レジスト10が形成されている。この永久レジスト10が形成されていない部分には、内

層導体層9aが形成されている。そして、この内層導体層9aと両面板2側の内層導体層3とは、第1の層間絶縁層8aに設けられたビアホール11によって電気的に接続されている。また、前記層間絶縁層8aに設けられた第2の層間絶縁層8b上にも、同様に永久レジスト10が形成されている。この永久レジスト10が形成されていない部分には、外層導体層9bが形成されている。そして、この外層導体層9bと内層導体層9aとは、第2の層間絶縁層8bに設けられたビアホール11によって電気的に接続されている。また、第2の層間絶縁層8bの中央部は、電子回路部品としてのLSIのペアチップC1を搭載するための部品搭載エリアになっている。このエリア内には、接続端子としての多数のパッド12A、12Bからなる第1のパッド群が密集した状態で形成されている。なお、これらのパッド12A、12Bの位置は、ペアチップC1の底面に形成されたバンプBPの形成位置に対応している。なお、第1のパッド群において最外周に位置しているものを「エクスターナルパッド12B」と呼ぶことにする。そして、第1のパッド群の中央部に位置するもの、即ち前記エクスターナルパッド12Bよりも内側に位置するものを「インターナルパッド12A」と呼ぶことにする。

【0013】表面S2側に形成されたビルドアップ多層配線層B2において、内層に位置する第1の層間絶縁層8a上には、永久レジスト10が形成されている。この永久レジスト10が形成されていない部分には、内層導体層9aが形成されている。そして、この内層導体層9aと両面板2側の内層導体層4とは、第1の層間絶縁層8aに設けられたビアホール11によって電気的に接続されている。また、前記層間絶縁層8aに設けられた第2の層間絶縁層8b上にも、同様に永久レジスト10が形成されている。この永久レジスト10が形成されていない部分には、外層導体層9bが形成されている。そして、この外層導体層9bと内層導体層9aとは、第2の層間絶縁層8bに設けられたビアホール11によって電気的に接続されている。また、第2の層間絶縁層8bの外周部には、接続端子としての多数のパッド13からなる第2のパッド群が形成されている。これらのパッド13上には、図示しないマザーボード側との電気的な接続を図るための突起電極としてバンプ14が形成されている。

【0014】この電子回路部品搭載用基板1において、第1のパッド群のうちのエクスターナルパッド12Bは、基板外周部に向かって延びる外層導体層9bを介して、ビアホール11に電気的に接続されている。一方、その内側に位置するインターナルパッド12Aは、外層導体層9bを介することなく、ビアホール11の上面に直接電気的に接続されている。このような第2の層間絶縁層8bのビアホール11は、さらに内層導体層9a、ビアホール11及び内層導体層3を介してス

ルーホール6に電氣的に接続されている。そして、同ルーホール6に接続される内層導体層4は、バイアホール11、内層導体層9a、バイアホール11及び外層導体層9bを介して、第2のパッド群を構成するパッド13に電氣的に接続されている。また、第1のパッド群及び第2のパッド群をつなぐ内層導体層3、4、9a及び外層導体層9bは、基板外周部に向かって常に順方向にかつ遠心的に配線されている。

【0015】ここで、ビルドアップ多層配線層B1、B2を構成する層間絶縁層8a、8bは、酸あるいは酸化剤に難溶性の感光性樹脂と、酸あるいは酸化剤に可溶性の耐熱性樹脂粒子とからなることが好ましい。その理由は、耐熱性樹脂粒子が含まれていると露光時に光の散乱が起こりやすく、よってアスペクト比の高いバイアホール11であってもその形成時に現像残りが生じにくくなるからである。従って、単なる感光性樹脂を使用した場合に比べて、より小径（直径約80μm以下）のバイアホール11を形成することができる。

【0016】前記層間絶縁層8a、8bは、酸あるいは酸化剤に難溶性であって熱硬化性樹脂を感光化した樹脂及び熱可塑性樹脂の複合樹脂と、酸あるいは酸化剤の可溶性の耐熱性樹脂粒子とからなることが好ましい。なお、ここでいう酸あるいは酸化剤とは、例えば表面粗化工程において使用される塩酸、リン酸、クロム酸、クロム酸塩、過マンガン塩等を指す。

【0017】前記酸あるいは酸化剤に難溶性であって熱硬化性樹脂を感光化した樹脂は、エポキシアクリレート及び感光性ポリイミド（感光性PI）から選択される少なくともいずれか1つの樹脂であることが好ましい。また、前記熱可塑性樹脂は、ポリエーテルスルホン（PES）、ポリスルホン（PSF）、フェノキシ樹脂及びポリエチレン（PE）のうちから選択される少なくともいずれか1つの樹脂であることが好ましい。さらに、前記耐熱性樹脂粒子は、アミノ樹脂粒子及びエポキシ樹脂（EP樹脂）粒子のうちから選択される少なくともいずれか1つであることが好ましい。なお、エポキシ樹脂はヒドロキシエーテル構造を持っていることから、この樹脂からなる粒子は特に溶けやすいという有利な性質を有する。また、アミノ樹脂粒子としては、例えばメラミン樹脂、尿素樹脂、グアナミン樹脂等が選択可能である。なかでもメラミン樹脂を選択することが好ましい。

【0018】このような構成の電子回路部品搭載用基板1は、例えば以下のような手順を経ることによって作製することができる。層間絶縁層8a、8bを形成するためのアディティブ用接着剤の調製方法は、以下の通りである。クレゾールノボラック型エポキシ樹脂のエポキシ基の25%をアクリル化した感光性付与のオリゴマー（CNA25、分子量4000）、PES（分子量17000）、イミダゾール硬化剤（四国化成製、商品名：2B4MZ-CN）、感光性モノマーであるトリメチル

トリアクリレート（TMPTA）、光開始剤（チバガイギー製、商品名：I-907）を用い、下記組成でDMFを用いて混合し、さらにこの混合物に対してエポキシ樹脂粉末（東レ製、商品名：トレパールEP-B）を平均粒径5.5μmのものを20重量部、平均粒径0.5μmのものを10重量部を混合した後、ホモディスパー攪拌機で粘度120cpsに調整し、続いて3本ロールで混練することによって、アディティブ用接着剤とする。次いで、この接着剤を両面板2の両面全体に塗布した後、25℃で真空乾燥を行い、さらにUV硬化及び熱硬化を行う。その結果、まず第1の層間絶縁層8aが形成される。

【0019】次に、この第1の層間絶縁層8aの表面をクロム酸等の粗化剤で処理することによって、多数のアンカー用凹部を備える粗化面を形成する。この後、常法に従って触媒核付与、永久レジスト10の形成、活性化処理及び無電解銅めっきを行うことによって、内層導体層9a及びバイアホール11を形成する。

【0020】さらに、同じアディティブ用接着剤を両面に塗布・硬化することにより、第2の層間絶縁層8bを形成する。次いで、得られた第2の層間絶縁層8bの表面を粗化剤で処理することによって、粗化面を形成する。この後、触媒核付与、永久レジスト10の形成、活性化処理及び無電解銅めっきを行い、所定部分に外層導体層9b、パッド12A、12B、13及びバイアホール11を形成する。以上の工程を経ると、所望の電子回路部品搭載用基板1が完成する。そして、このようにして得られた電子回路部品搭載用基板1上にベアチップC1を搭載すれば、図1のような電子回路部品搭載装置M1を得ることができる。

【0021】さて、本実施例の電子回路部品搭載用基板1によると、第1のパッド群の中央部に位置するインターナルパッド12Aは、いずれも外層導体層9bに接続されることなく、バイアホール11の上面に直接電氣的に接続されている。つまり、各インターナルパッド12Aは、バイアホール11を介して内層導体層9aに電氣的に接続されていることになる。そのため、第1のパッド群が形成されている第2の層間絶縁層8b上において、基板外周部への外層導体層9aの引き出しを行う必要がない。よって、インターナルパッド12Aの外側にエクスターナルパッド12Bが位置していたとしても、配線を行う際にそれらが特に邪魔になるということもない。そして、上記のようにインターナルパッド12Aから引き出される外層導体層9bが存在しなくなる結果、エクスターナルパッド12Bから引き出される外層導体層9bを密に配線することが可能になる。即ち、従来の構成に比べて、全体的に配線密度を高くすることができる。

【0022】また、本実施例では、ビルドアップ多層配線層B1、B2を構成する層間絶縁層8a、8bの形成

において、酸等に難溶性の感光性樹脂と酸等に可溶性の耐熱性樹脂粒子とからなるアディティブ用接着剤が使用されている。そのため、露光時にパイアホール形成用凹部の底面に現像残りが生じにくい。よって、従来よりも小径のパイアホール11を容易にかつ確実に形成することができる。勿論、アディティブ法によって形成される導体層9a、9bは、従来のサブトラクティブ法に従って形成されるものに比べてファインなものになる。ゆえに、アディティブ法のような従来構造に比べて、配線密度を高くすることができる。

【0023】以上述べたように、本実施例の電子回路部品搭載用基板1によると、従来のものに比較して高密度化及び小型化を達成することができる。なお、本実施例ではビルドアップ多層配線層B1、B2を両面に形成しているため、例えば表面S1のみに形成した場合よりも、高密度化及び小型化を図ることができる。

【0024】また、この電子回路部品搭載用基板1では、表面S1及び裏面S2にほぼ同じ厚さのビルドアップ多層配線層B1、B2が設けられている。このため、両面板2の両側に付加する応力の大きさがほぼ等しくなり、結果として応力が互いに相殺されやすくなる。よって、反りにくい電子回路部品搭載用基板1を実現することができる。

【0025】なお、本発明は例えば次のように変更することが可能である。

(1) 図2には、別例の電子回路部品搭載用基板18上にベアチップC1を搭載してなる電子回路部品搭載装置M2が示されている。この電子回路部品搭載用基板18では、表面S1側だけに3層構造のビルドアップ多層配線層B3が設けられている。一方、第2のパッド群を構成するパッド13は、裏面S2側に形成された導体層4に接続されている。そして、裏面S2側の導体層4は、全体的にソルダーレジスト19によって被覆されている。このような構成であっても、実施例と同様の作用効果を奏する。

【0026】(2) ビルドアップ多層配線層B1～B3の積層数(層間絶縁層8a、8bの層数)は2層または3層に限定されることはなく、1層のみまたは4層、5層、6層、7層、8層…であってもよい。また、表面S1側の積層数及び裏面S2側の積層数は、必ずしも同一でなくともよい。

【0027】(3) ベース基板として両面板2を使用した実施例に代え、4層板、5層板、6層板、7層板、8層板等の多層板を使用してもよい。なお、低コスト化を優先したい場合には両面板2を選択することが有利であり、さらなる高密度化・小型化を達成したい場合には多層板を選択することが有利である。

【0028】(4) 第2の接続端子群を構成するパッド13上には、実施例のバンプ14に代えてピン等を設けることが可能である。また、バンプ14もピンも設けな

い構成とすることも勿論可能である。

【0029】(5) 部品搭載エリアは実施例のように1つのみであってもよく、または複数であってもよい。

(6) 第2のパッド群を構成するパッド13は、裏面S2側のビルドアップ多層配線層B2の全体にわたって設けられていてもよい。この構成であると、より多くのパッド13を配置することができる。

【0030】(7) ビルドアップ多層配線層B1～B3を構成する導体層9a、9bは、無電解銅めっき以外の金属めっき(例えば、無電解ニッケルめっきや無電解金めっきなど)であってもよい。また、めっきのような化学的成膜方法によって形成される金属層に代え、例えばスパッタリング等の物理的薄膜方法によって形成される金属層を選択することも可能である。

【0031】(8) 電子回路部品搭載用基板1上に搭載される電子回路部品は、実施例のベアチップ2のほか、例えばBGA、QFN、ショートピンを持つPGA等の半導体パッケージであってもよい。

【0032】(9) インターナルパッド12Aは、必ずしもパイアホール11の上面に直接接続されていなくてもよく、例えば基板外周部まで延びていない短い外層導体層9bを介してパイアホール11に接続されていてもよい。

【0033】ここで、特許請求の範囲に記載された技術的思想のほか、前述した実施例及び別例によって把握される技術的思想をその効果とともに以下に列挙する。

(1) 請求項1、2において、前記ビルドアップ多層配線層を構成する絶縁層は感光性樹脂からなること。この構成であると、より高密度化及び小型化を達成できる。

【0034】(2) 請求項1、2において、前記ビルドアップ多層配線層を構成する絶縁層は、酸あるいは酸化剤に難溶性の感光性樹脂と、酸あるいは酸化剤に可溶性の耐熱性樹脂粒子とからなること。この構成であると、よりいっそう高密度化及び小型化を達成できる。

【0035】「アディティブ用接着剤：絶縁層の形成に使用される樹脂製接着剤であって、酸等に対して難溶性の成分と可溶性の成分を含むものをいう。」

【0036】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、ビルドアップ多層配線層のパイアホールを介して内層導体層に接続することとしたため、高密度化及び小型化を達成することができる電子回路部品搭載用基板を提供することができる。請求項2に記載の発明によれば、よりいっそうの高密度化及び小型化を達成することができる。さらに、配線設計が容易となる。

【図面の簡単な説明】

【図1】実施例の電子回路部品搭載用基板の概略断面図。

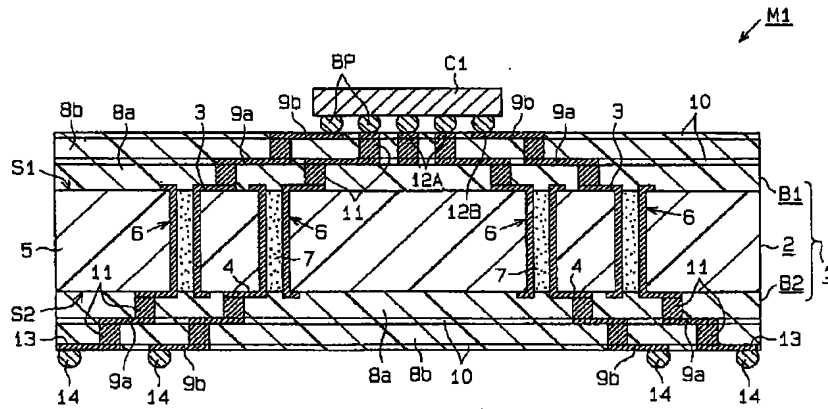
【図2】別例の電子回路部品搭載用基板の概略断面図。

【符号の説明】

1, 18…電子回路部品搭載用基板、2…ベース基板、
6…スルーホール、8a, 8b…絶縁層、9a…内層導
体層、11…パイアホール、12A…第1の接続端子群*

*の中央部に位置する接続端子としてのインターナルパ
ッド、13…第2の接続端子を構成する接続端子としての
パッド、B1, B2, B3…ビルドアップ多層配線層。

【図1】



【図2】

